



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07244634 A**(43) Date of publication of application: **19.09.95**

(51) Int. Cl.

G06F 13/36(21) Application number: **06033716**(22) Date of filing: **03.03.94**(71) Applicant: **HITACHI LTD**

(72) Inventor: **FUJIMOTO TAKEO
TAKAMOTO KENICHI
TAKEUCHI HISAHARU
HONMA HISAO
SHIMOSAKO TSUMORU**

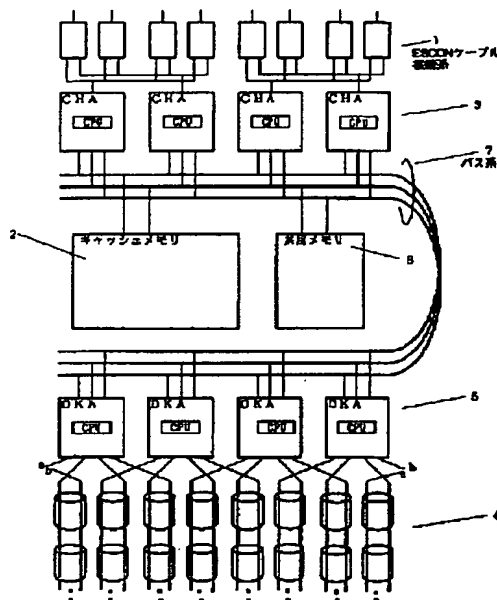
(54) EXTERNAL STORAGE CONTROL UNIT AND BUS SWITCHING CONTROL METHOD

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To improve the performance and to reduce the cost of a storage system by providing both a bus for data transfer and a bus for control information transfer together in the storage system and obtaining bus constitution which is most suitable to the access pattern of a host computer with an indication made of a maintenance personnel, etc.

CONSTITUTION: This device has buses (a), (b), and (c) which perform data transfer between a channel adapter CHA3 and a disk adapter DKA5, and a cache memory 2 and a common memory 6. The bus (a) is a bus for data transfer which is connected to the cache memory 2, the bus (c) is a bus for control information transfer which is connected to the common memory 6, and the bus (b) is a bus connected to the both and can transfer both the signals. The purposes of use of the bus (b) can be switched based on the switching indication irrelevantly to whether or not the storage system is in operation.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-244634

(43) 公開日 平成7年(1995)9月19日

(51) Int. Cl.⁶

G 0 6 F 13/36

識別記号

5 3 0 B 7368-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平6-33716

(22) 出願日 平成6年(1994)3月3日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 藤本 健雄

神奈川県小田原市国府津2880番地 株式会

社日立製作所ストレージシステム事業部内

(72) 発明者 ▲高▼本 賢一

神奈川県小田原市国府津2880番地 株式会

社日立製作所ストレージシステム事業部内

(72) 発明者 竹内 久治

神奈川県小田原市国府津2880番地 株式会

社日立製作所ストレージシステム事業部内

(74) 代理人 弁理士 富田 和子

最終頁に続く

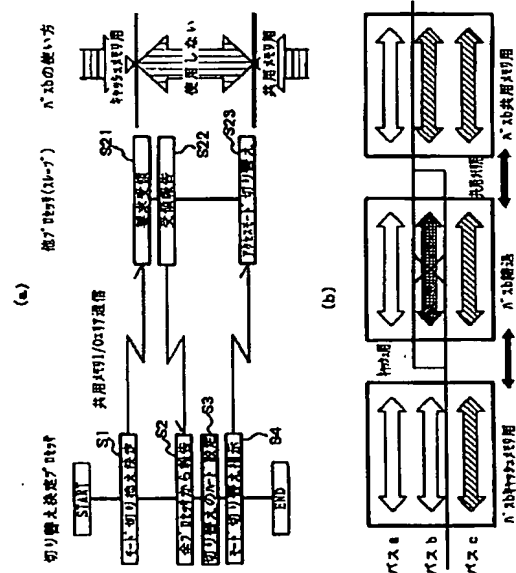
(54) 【発明の名称】 外部記憶制御装置およびバス切り替え制御方法

(57) 【要約】

【目的】記憶システムにおいて、データ転送用のバスと制御情報転送用のバスを混在させ、保守員の指示などによってホストコンピュータのアクセスパターンにもっとも適合したバス構成を築き、性能向上および原価低減の目的を達成する。

【構成】チャネルアダプタCHAおよびディスクアダプタDKAと、キャッシュメモリ2および共用メモリ6との間のデータ転送を行なうバストとしてバスa, b, cを有する。バスaはキャッシュメモリに接続されたデータ転送用のバス、バスcは共用メモリに接続された制御情報転送用のバス、バスbは、その両方に接続され両信号転送可能なバスである。バスbの用途切り替えは、記憶システムが稼働中であるかどうかにかかわらず、切り替え指示に基づいて実行可能である。

図5



【特許請求の範囲】

【請求項 1】データを格納する第 1 の記憶装置と、制御情報を格納する第 2 の記憶装置と、該第 1 および第 2 の記憶装置をアクセスするための 3 組以上のバスを持つ記憶システムにおいて、前記 3 組以上の転送バスの少なくとも 1 組をデータ転送用および制御情報転送用のいずれの用途に使用しうる構造とし、記憶システムが稼働中であるかどうかにかかわらず、切り替え指示に基づいて前記少なくとも 1 組の転送バスを前記いずれかの用途に切り替えて使用することを特徴とするバス切り替え制御方法。

【請求項 2】前記記憶システムの稼働中に前記少なくとも 1 組のバスの用途を切り替える際、該切り替えのための処理が完了するまでの期間、前記少なくとも 1 組のバスの使用を禁止し、他のバスを使用して動作を続行することを特徴とする請求項 1 記載のバス切り替え制御方法。

【請求項 3】外部記憶装置と、該外部記憶装置への入出力データを一時的に格納するキャッシュメモリと、前記第 2 および第 3 のバスに接続され、少なくとも該キャッシュメモリに格納したデータの管理情報を含む制御情報を記憶する共用メモリと、前記共用メモリの内容を用いて上位装置と前記キャッシュメモリとの間のデータの転送を制御するチャネルアダプタ手段と、前記共用メモリの内容を用いて前記外部記憶装置と前記キャッシュメモリとの間のデータの転送を制御するディスクアダプタ手段と、前記チャネルアダプタ手段、前記ディスクアダプタ手段、および前記キャッシュメモリを相互に接続する第 1 のバスと、前記チャネルアダプタ手段、前記ディスクアダプタ手段、前記キャッシュメモリ、および前記共用メモリを相互に接続する第 2 のバスと、前記ディスクアダプタ手段、前記チャネルアダプタ手段、および前記共用メモリを相互に接続する第 3 のバスとを備え、前記チャネルアダプタ手段および前記ディスクアダプタ手段は、前記第 2 のバスを前記キャッシュメモリアクセス用と前記共用メモリアクセス用とに切り替えて選択的に使用することを特徴とする外部記憶制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、情報処理装置における記憶システムに係り、特に外部記憶制御装置におけるバスの切り替え方法に関する。

【0002】

【従来の技術】近年、記憶装置の高性能、高信頼性を目的として、マルチプロセッサアーキテクチャの採用が盛んに行われるようになった。この場合、複数の共通バス

を用いることによってシステム機能の高拡張性を図れるばかりでなく、信頼性の向上をも可能としている。例えば、F U J I T S U 42, 1, p p 12-20 (1991) に記載されているファイル制御装置は、制御装置の行使する機能を複数のモジュールに分割し、各モジュールにマイクロプロセッサを配置し、共通バスを通じて相互の通信を実現している。

【0003】

【発明が解決しようとする課題】一般に、ある記憶制御装置におけるデータ信号と制御信号を一本の共通バスのみで転送すると、大量なデータが転送される間に他のモジュール等による制御信号の遅れ取りが遅れてしまう。逆に、データ転送と制御信号の転送を完全に分けて異なるバス系で行おうとすれば、それぞれの要求性能のピーク容量を満たすハードウェアが必要となる。一般にデータ転送量の多いシーケンシャルアクセスが行われるときは相対的に制御信号の発行数が減少し、コマンドが高頻度で発生するランダムアクセスのときは逆に全体の転送データ量が減ることが多いので、片方のバス系が限界性能で動作しても、残り一方のバス系が空いてしまう状態になる。

【0004】上記従来の文献に記載の技術は、障害対策として各モジュールおよび共通バスを多重化しているが、このようなバス使用目的の相違によるバス構成の問題を解決するものではない。

【0005】本発明は、このような課題を踏まえ、指示に応じてバスの切り替えを行い、ホストコンピュータのアクセスパターンにもっとも適したバス構成を装置稼働中にも動的に変更できる、外部記憶制御装置およびバス切り替え方法を提供する。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明によるバス切り替え制御方法は、データを格納する第 1 の記憶装置と、制御情報を格納する第 2 の記憶装置と、該第 1 および第 2 の記憶装置をアクセスするための 3 組以上のバスを持つ記憶システムにおいて、前記 3 組以上の転送バスの少なくとも 1 組をデータ転送用および制御情報転送用のいずれの用途に使用しうる構造とし、記憶システムが稼働中であるかどうかにかかわらず、切り替え指示に基づいて前記少なくとも 1 組の転送バスを前記いずれかの用途に切り替えて使用するようにしたものである。

【0007】この方法において、前記記憶システムの稼働中に前記少なくとも 1 組のバスの用途を切り替える際、該切り替えのための処理が完了するまでの期間、前記少なくとも 1 組のバスの使用を禁止し、他のバスを使用して動作を続行可能とすることが望ましい。

【0008】本発明による外部記憶制御装置は、外部記憶装置と、該外部記憶装置への入出力データを一時的に格納するキャッシュメモリと、前記第 2 および第 3 のバ

スに接続され、少なくとも該キャッシュメモリに格納したデータの管理情報を含む制御情報を記憶する共用メモリと、前記共用メモリの内容を用いて上位装置と前記キャッシュメモリとの間のデータの転送を制御するチャンネルアダプタ手段と、前記共用メモリの内容を用いて前記外部記憶装置と前記キャッシュメモリとの間のデータの転送を制御するディスクアダプタ手段と、前記チャンネルアダプタ手段、前記ディスクアダプタ手段、および前記キャッシュメモリを相互に接続する第1のバスと、前記チャンネルアダプタ手段、前記ディスクアダプタ手段、前記キャッシュメモリ、および前記共用メモリを相互に接続する第2のバスと、前記ディスクアダプタ手段、前記チャンネルアダプタ手段、および前記共用メモリを相互に接続する第3のバスとを備え、前記チャンネルアダプタ手段および前記ディスクアダプタ手段は、前記第2のバスを前記キャッシュメモリアクセス用と前記共用メモリアクセス用とに切り替えて選択的に使用することを特徴とする。

【0009】この装置において、第2のバスをキャッシュメモリアクセスに用いるのは、データ転送量が制御情報転送量より多くなるシーケンシャルアクセス時またはその多用時が好ましく、逆に第2のバスを共用メモリアクセスに用いるのは、制御情報転送量がデータ転送量より多くなるランダムアクセス時またはその多用時が好ましい。

【0010】第1～第3の各バスには、複数のアダプタ手段からのバス使用権要求の競合時の調停を行なうアービタを備える。

【0011】第2バスの用途の切り替え指示は、記憶システムの稼働情報をモニタリングして、外部入力手段から行なうか、または、記憶システム本体で稼働情報をモニタリングして、得られた値をしきい値判定などで判定することにより自動的に行なうことができる。

【0012】第1または第3のバスが障害や他の原因で使用しえないような状態でも、第2のバスがそのバスに代わって動作しうる。

【0013】

【作用】本発明は、記憶システムにおいて、複数ある転送バスをデータ転送用にまたは制御情報転送用として選択的に使用することを可能とする。例えばホストコンピュータのアクセスパターンを監視、予測することから、アクセスデータ量が大きいときにデータ転送能力の高いバス構成に、平行に多重動作するときに制御情報転送用バスの多い構成に切り替えることができるので、総バス数を減らすことによる原価低減と、存在するバスの転送能力を最大限に利用することによる性能向上の実現に有効である。

【0014】すなわち、データアクセス用バスと制御用バスを完全に別個に設けるのではなく、少なくとも1組のバスをその両方の用途に切り替えて使用できるように

したので、例えば多重度の高いランダムアクセスの際に制御用バスの負荷が大きくアクセスデータ量が少ない場合においても、バス構成切り替えにより、バス資源の有効な活用ができる。

【0015】バス構成の切り替え時には、該当バスに対する新たな転送命令を発行しないで残りのバスで動作するよう転送方法を変え、切り替え対象となるバスに対して、切り替えのためのハード設定を行ってからソフトの切り替えを行う。このように切り替えの過程に過渡な縮退状態を設けることにより、バスの切り替え動作中に全システムの動作を一時停止しなくても済む。すなわち、上位装置からのアクセス要求を一時中断することなく、上述バスの切り替えを実現できるので、無停止システムに用いることも可能である。

【0016】

【実施例】本発明の実施例について、図面を用いて以下詳細に説明する。

【0017】図1は、本発明を適用した記憶システムのブロック図である。ホストコンピュータ（図示せず）に接続するE S C O N (Enterprise System C O N N E C T I O N) ケーブル接続系1、入出力データを一時的に格納するバッファの役割をも果たすキャッシュメモリ2、各々、ホスト側とキャッシュメモリ2間のデータ転送を制御するプロセッサ(C P U) 付きアダプタである複数のC H A (C H a n e l A d a p t e r) 3、外部記憶装置であるディスクアレイ4、各々、キャッシュメモリ2とディスクアレイ4間のデータ転送を制御するプロセッサ付きアダプタである複数のD K A (D i s k A d a p t e r) 5、キャッシュメモリ2の管理用ディレクトリ情報や各C H A 3とD K A 5のプロセッサ間通信情報などを含む制御情報を格納する共用メモリ6、各C H A 3とD K A 5からキャッシュメモリ2または共用メモリ6にアクセスするためのバス系7によって構成される。バス系7は、本実施例では独立に動作できる3系統のバスからなる。

【0018】図2に、バス系7を中心として図1の要部の詳細を示す。バス系7の3系統を、ここではそれぞれバスa、バスbおよびバスcと呼ぶ。3本のバスa、b、cは、いずれも各C H A 3および各D K A 5に接続される。また、バスaとバスbはキャッシュメモリ2（の制御部21）に接続され、バスbとバスcは共用メモリ6（の制御部61）に接続される。よって、任意のプロセッサからバスaまたはバスbを経由してキャッシュメモリ2に対するリード／ライトのアクセスが可能であり、バスbまたはバスcを経由して共用メモリ6に対するリード／ライトが可能である。すなわち、バスaはキャッシュメモリ2のアクセス専用用いられ、バスcは共用メモリ6のアクセス専用用いられるのに対し、バスbはその両方のアクセスに切り替えて用いることができる。C H A 3の機能は、大別して、ホスト接続系制御部と、キャッシュメモリ制御部と、共用メモリ制御部

とからなり、これらの制御をCPU31が司る。CHA3は、バスa、b、cにそれぞれ対応したバスアダプタBSAa、BSAb、シェアドメモリポートSMPを有する。BSAaはキャッシュメモリ制御部に属し、SMPは共用メモリ制御部に属し、BSAbは両制御部に属する。DKA5の機能は、大別してディスク接続系制御部と、キャッシュメモリ制御部と、共用メモリ制御部とからなり、これらの制御をCPU51が司る。DKA5も、バスa、b、cにそれぞれ対応したバスアダプタBSAa、BSAb、SMPを有する。BSAaはキャッシュメモリ制御部に属し、SMPは共用メモリ制御部に属し、BSAbは両制御部に属する。いずれのBSAおよびSMPも、対応するバスの使用権を要求するリクエスト75を有する。

【0019】また、各系には、データ等を転送する入出力バス線71(71a、71b、71c)以外に、リクエスト線72(72a、72b、72c)と、グラントID線73(73a、73b、73c)という2本の信号線、そしてバスアクセス権の調停を行うバスアービタ74(74a、74b、74c)と呼ばれるハードウェアが存在している。各アービタ74は、2本の信号線を通して全CHA3、DKA5にあるリクエスト75につながり、複数のバス使用権リクエストを受け付け、バス使用の優先順位等を決定する。バスa、バスb、バスcにはそれぞれのアービタ74a、74b、74cを持っているが、バスaとバスbについては1つの資源として同じアービタ74aで一括に調停管理することもできる。

【0020】共用メモリ6には、キャッシュメモリ2の管理用ディレクトリ情報等(キャッシュセグメントをサーチするための階層化テーブルおよび各セグメントの状態など)、および各CHA3とDKA5のプロセッサ間通信メッセージ(プロセッサ間の協調、同期などのための通信内容)の他、切り替えの統計情報、システムの構成情報(CHA、DKAの実装状態、閉塞状態などシステム構成の共通情報、キャッシュメモリ2の容量、ディスクアレイのディスク台数)などを含む。

【0021】図6に、CHA3およびDKA5の各々、すなわちプロセッサ付きアダプタに共通な内部構成を示す。各プロセッサ付きアダプタが、BSAa、BSAbおよびSMPを含むことは前述のとおりである。BSAaは、転送データの一時格納用バッファ77、それぞれ内部CPUおよびバスとの間のインタフェースを制御するI/F制御部78、79、バス使用権リクエストを発行するリクエスト80、後述するモード切り替えのモードを設定する内部レジスタ76を有する。BSAbは、BSAaと同一の構成を有する。SMPの構成も同様であるが、モード切り替え用の内部レジスタ76は不要なので内蔵していない。

【0022】BSAは、次のようなモード設定機能を有する。

【0023】(1) シーケンシャルモードの設定

このモードでは、BSAaのリクエストまたはBSAbのリクエストのうち1つのみを使用する。但し、イネーブルされているアービタと必ず同じバス系に属するリクエストを利用する。シーケンシャルモードに設定すれば、バス系aとバス系bとは合わせて1つの資源として管理され、1つのリクエストで使用権が両バス系に同時に確保できる。

【0024】なお、シーケンシャルモード設定時には、さらにソフトウェアの設定により、次の3種類のバスモードが利用できる。

【0025】(i) 2バスモード：バスaとバスbによる同時転送(128ビット転送)

(ii) バスb障害時など、バスaのみによる方系転送(64ビット転送)

(iii) バスa障害時など、バスbのみによる方系転送(64ビット転送)

(2) トランザクションモードの設定

このモードでは、BSAaのリクエストとBSAbのリクエストの両方が有効となる。ランダムアクセス向けにバスbを共用メモリアクセス用(32ビット転送)に切り替えるときに、バスaとバスbとは異なる働きをするので、両方のBSAをトランザクションモードに切り替える必要がある。この場合、バスa、バスbは別々の資源として管理される。

【0026】次に、SMPについて説明する。前述のように、SMPは、各アダプタにおいて、バスcに接続されるハードウェアである。バスcは、常に制御情報アクセス用(32ビット転送)として使用される独立資源であり、BSAにあるようなモードの切り替えは使用としない。

【0027】さて、バスリクエストに応じて実際の転送を行う際の具体的な手順を以下に説明する。

【0028】あるバスを使おうとするアダプタ(CHA3またはDKA5)は、まず該当するリクエスト線72を用いてバスリクエストを該当するバスアービタ74に出力する。このとき、もし複数のリクエストが競合すれば、アービタ74はあらかじめ決められた優先権決定アルゴリズムに従い、優先順位のもっとも高いアダプタのID番号をグラントID線72に出力し、このとき自己のID番号を確認したプロセッサはバスの使用権を得る。バスの使用権が得られたら、キャッシュメモリ2や共用メモリ4に対するライトであれば、転送バス上にアドレス、コマンドそしてデータを時系列に出力し、エラーフェーズ(転送完了ステータス)を受け取って動作を終了する。キャッシュメモリ2や共用メモリ4に対するリードであれば、アドレスとコマンドを出力し、送られて来るリードデータとエラーフェーズ(転送完了ステータス)を受け取る。なお、メモリの制御部21または61でエラーを検出したら、その情報をエラーフェーズに載

せて転送する。

【0029】次に、格納されたデータを本実施例のディスクアレイ4から読み出して上位のホストコンピュータに転送する場合を例として、データ転送の処理手順を簡単に説明する。

【0030】上位からのリード命令を受けた1つのCHA3はまず共用メモリ6内のキャッシュ管理情報をアクセスして、リードしようとするデータがキャッシュメモリ2上に存在しているかどうかを判定し、すでにキャッシュメモリ2にロードされたデータであればそのデータをそのまま上位に転送する。該当データがキャッシュメモリ2にない場合は共用メモリ6を用いたプロセッサ間通信により、DKA5へディスクアレイ4からの読み出しを要求する。この要求を受けたDKA5は、リードデータがディスクアレイ4のどの部分にあるかを計算し、該当データをキャッシュメモリ2に転送する。その際、一定ブロック長毎のデータを転送したら、共用メモリ6上の管理情報領域にアクセスし、該当データブロックがキャッシュメモリ2上に確立されたことを示す。このディスクアレイ4とキャッシュメモリ2間のデータ転送と同時に、CHA3は共用メモリ6をポーリングし、確立されたデータブロックについて、キャッシュメモリ2から上位のチャネル接続系1へのデータ転送を行う。

【0031】上述したように、1つのコマンドに対する処理内にキャッシュメモリ2または共用メモリ6に対するリード／ライトが複数回行われる。また共用メモリ6に対するアクセス量はほぼ1／0の回数に比例するのに対して、キャッシュメモリ2に対するアクセス量は実際の転送データ量に対応するので、1／0の回数に必ずしも比例していない。すなわち、長いデータをまとめて読み書きするシーケンシャルアクセスの場合はキャッシュメモリ2との間のデータ転送量が多く、短いデータの読み書きが並列に多数発行されるランダムアクセスの場合では共用メモリ6に対するアクセス量が相対的に多くなる。

【0032】本記憶システムにおいて、バスaは64ビットの転送幅を持ち、キャッシュメモリ2に対するアクセスのみに使われる。バスcは32ビットの転送幅を持ち、共用メモリ6に対するアクセスのみに使われる。これに対して、バスbはバスaと同等のデータ転送能力（64ビット）を持ち、しかもキャッシュメモリ2と共用メモリ6の両方に接続しているため、モードの設定を変えることによって用途の切り替えが可能である。モードの設定は、各アダプタ内のCPU31、35に接続されたローカルエリアネットワークLANによって接続された保守サービス用端末パソコン（図示せず）からの指示により行なう。

【0033】以下、キャッシュメモリ2アクセス用に設定されたバスbを共用メモリ6アクセス用に変更する場合を例として、切り替えの手順を示す。

【0034】バスbがキャッシュメモリ2用に設定された場合、共用メモリ6に対するリード／ライトはバスcを用いて行い、キャッシュメモリ2に対するリード／ライトはバスaとバスbの両方を同時に用いて行なう。本システムのアドレス、コマンド体系は64ビットからなるので、バスaとバスbで同時転送を行なっている場合は同じアドレス、コマンドを二重化転送することになる。但し、データについてはバスa、バスbを合わせた128ビット幅で転送し、転送時間の短縮を実現している。

【0035】図5（a）のフローチャートを参照する。まず、前記保守サービス用パソコンからバスモード切り替えの指示を受けた1つのアダプタ（CHA3またはDKA5）内のプロセッサ（切り替えプロセッサ）は、まずバスbを使用しない縮退指示を共用メモリ6の通信エリア（図示せず）にセットする（S1）。他のアダプタ（スレーブ）は動作中においても定期的に共用メモリ6の通信エリアを確認し（S21）、バス切り替えのための縮退指示を受けたら受領報告を共用メモリ6にセットして（S22）、以降に実行するキャッシュメモリ2に対するアクセスはバスaのみを用いて行なう。切り替え決定プロセッサは、共用メモリ6の通信エリアをチェックし、他のアダプタからの受領報告がすべて確認できたなら（S2）、切り替えのためのハード設定を行なう（S3）。このハード設定では、内部レジスタ76のモード設定、およびアービタ74a、74bの動作可否情報を設定する内部レジスタ（図示せず）へのオンオフ設定を行なう。次いで、バスbを共用メモリ6用に変更するとの指示を通信エリアにセットする（S4）。この指示を確認した他のアダプタは、自己のアクセスモードの切り替えを行なう（S23）。このアクセスモードの切り替えでは、自己の内部レジスタ76のモード設定を行なう。各アダプタ内のBSAa、BSAbのI／F制御部78、79は内部レジスタ76に設定されたモードに応じた動作を行なう。これにより次回の共用メモリ6アクセスからバスbを使うこともできるようになる。

【0036】なお、図5（a）の手順とは逆に、バスbを共用メモリ6アクセス用からキャッシュメモリ2アクセス用へ変更する場合にも、同様の手順で切り替えを行なうことができる。

【0037】図5（b）に示すように、バスbをキャッシュアクセス用に利用するバスbキャッシュメモリ用状態から、一旦、バスbの使用を一時的に禁止するバスb縮退状態を経由して、バスbを共用メモリアクセス用に利用するバスb共用メモリ用状態へ移行する。この方法により、システムの動作を停止することなく、バス用途の切り替えを実現できる。

【0038】図3により、バスbキャッシュメモリ用モードにおける各バス上の情報の流れについて説明する。このモードでは、バスbをキャッシュメモリアクセス用として64ビット分すべてを用いる。

【0039】まず、リードアクセスの場合、アダプタ（CHA/DKA）側から各バスにおいて、まずアドレスフェーズ（ADR）でリードアドレスを発行し、次いでコマンドフェーズ（CMD）でリードコマンドを発行する。キャッシュメモリアccessのためのアドレスは、バスaとバスbの2系で同時に同じアドレスを二重転送する。コマンドも同様である。これに回答して、各メモリはデータフェーズ（DATA）で、バスaとバスbの両系で128ビット幅のデータをアダプタへ転送する。データ転送終了後、エラーフェーズ（ERR）でステータス情報（転送完了またはエラー）をアダプタへ返送する。このエラーフェーズにおいても、ステータスはバスa、b両系で同一のステータスを二重転送する。

【0040】次に、ライトアクセスの場合、アダプタから、各バスにおいて、アドレスフェーズでライトアドレスを発行し、次いでデータフェーズで書き込みデータを転送する。これに回答してメモリからエラーフェーズでステータスをアダプタへ返送する。リードアクセスの場合と同様、データは128ビット幅で転送される。

【0041】なお、図3では、説明の都合上、バスcについて、バスa、bと同時に同種のアクセスを行なうように示しているが、バスcを介するメモリアccessはバスa、bによるメモリアccessとは独立である。

【0042】図4により、バスb共用メモリ用モードにおける各バス上の情報の流れについて説明する。このモードでは、3つのバス系はそれぞれ独立に転送を行なう。バスbは、図3の場合と異なり、共用メモリアccess用に利用され、その64ビットのバスは半分の32ビットのみが用いられる。リードアクセスにおいて、共用メモリに対しては、アドレスフェーズで、バスbとバスcとで異なるアドレスを並行して転送する。コマンドフェーズでは、バスbとバスcとで異なるアドレスを並行して転送する。データフェーズおよびエラーフェーズにおいても、それぞれのバスで別個のデータおよびステータスを転送する。ライトアクセスにおいても同様である。

【0043】なお説明の都合上、図4では、バスa、b、cが同時に同一のコマンド（リードまたはライト）を行なう場合の様子を示したが、バスa、b、cのメモリアccessは相互に独立である。

【0044】このように、ホストコンピュータからのアクセスデータが大きく、キャッシュメモリに対するリード／ライトが多い場合ではバスbをキャッシュメモリ用に切り替え、逆に並列なランダムアクセスが多発すると判断できれば、バスbを共用メモリ用に切り替えることにより、全体のバス限界性能を最大にすることが可能である。

【0045】尚、本実施例記憶制御装置ではバスの切り替えをバス系障害時の対策としても用いる。例えばバスaが障害で動作不能となったら、バスbをキャッシュメ

メモリ2用に切り替えることにより、多少の性能ダウンがあってもシステムの動作は続行できる。同様にバスb、バスcのどちらか一方が障害になっても、適切なバス構成を切り替えることにより、キャッシュメモリ2および共用メモリ6の両方に対するリード／ライトが続けられ、保守員が駆けつけるまでの動作を保証できる。また、バスbと同機能のバスを複数有するシステムでは、この縮退運転時にも3つ以上のバス系さえ正常動作すれば、上記切り替え方法の実現は可能である。前記実施例では、転送バスの一部のみをデータ転送用および制御情報転送用に切り替えて使える構造としたが、すべてのバスについてその切り替えを行なえるようにすることも可能である。

【0046】尚、前記実施例における切り替え動作の開始契機は保守サービス用パソコンを経由しての保守員指示としているが、保守サービス用パソコン内で記憶制御装置の稼働状況をモニタリングし、しきい値判定して該当指示を記憶制御装置へ発行することも考えられる。例えば、一定時間内に、転送データのサイズに基づきシーケンシャルアクセスのデータ量を検出し、このデータ量が予め定めた量より大きければ、シーケンシャルモードとする。この論理を記憶制御装置の本体内に設ければ、ホストのアクセスパターンに適したバスの切り替えが自動的に行える記憶制御装置も考えられる。

【0047】

【発明の効果】本発明によれば、保守サービスパネルまたはそのための端末パソコンからの指示を受け、特定バスをデータアクセス用にまたは制御情報アクセス用に切り替えることが可能である。これにより、システムが所有する転送バスを希望した体系に再構成でき、バスを効率よく使用し、各バスの負荷を平均化することによって限界性能を高めることが可能である。例えばオンライン処理の比率が高い運用環境においては、制御情報の交信を優先させることで高い応答性能を実現したり、シーケンシャル処理比率が高い運用環境においては、データ転送能力を優先させたりすることが可能となる。

【0048】また、ホストからのアクセス処理を中断せずにシステムの目的に応じたバス系を構築できる。

【図面の簡単な説明】

【図1】本発明が適用される記憶制御装置のブロック図

【図2】図1の要部のバス系構成を示すブロック図

【図3】図1の装置において、バスbをキャッシュメモリアccess用に用いた場合の動作の説明図

【図4】図1の装置において、バスbを共用メモリアccess用に用いた場合の動作の説明図

【図5】図1の装置におけるバス切り替え手順を示すフローチャートおよびバス切り替え過程の動作の説明図

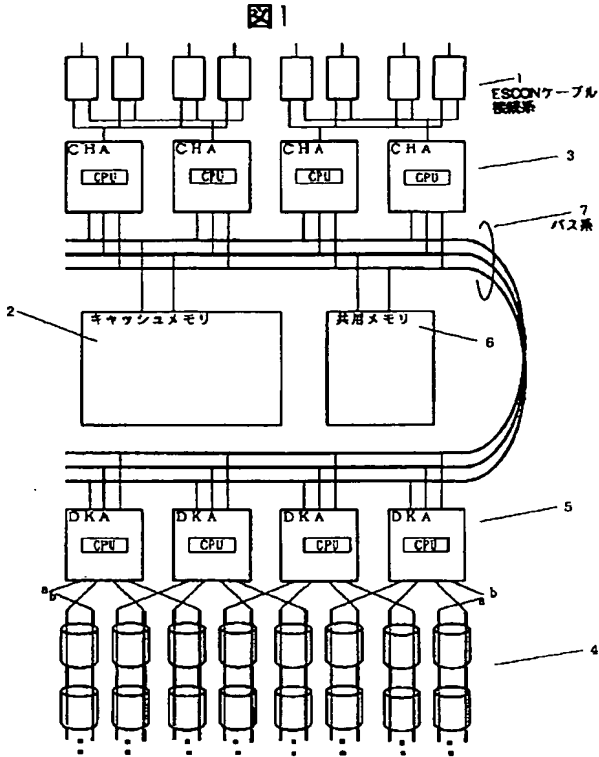
【図6】図1のアダプタの内部構成を示すブロック図

【符号の説明】

1：ホスト接続ハードウェア、2：キャッシュメモリ、

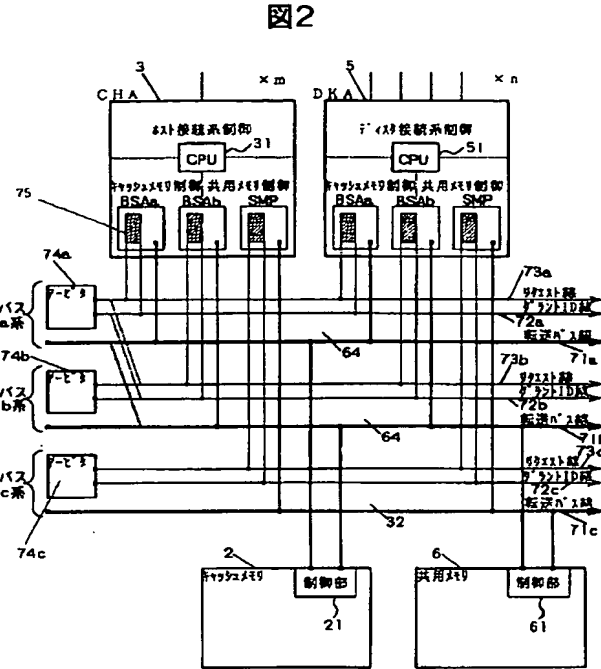
3:CHA(チャネルアダプタ)、4:ディスクア
イ、5:DKA(ディスクアダプタ)、6:共用メモ

【図1】



*リ、7:共用転送バス、75:リクエスト、BSA:バ
* スアダプタ、SMP:シェアドメモリポート

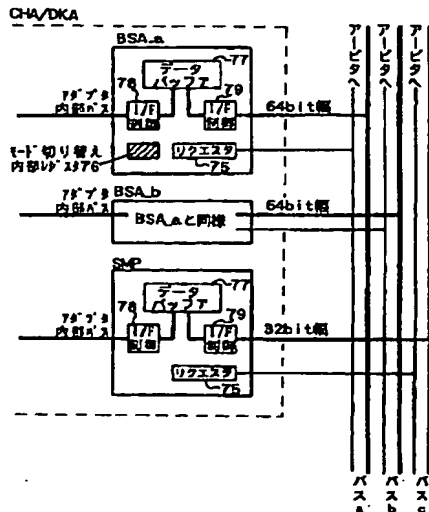
【図2】



【図3】

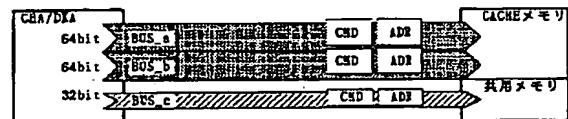
【図6】

CHA/DKAにおけるバス接続機構(図6)



read

図3



WRITE

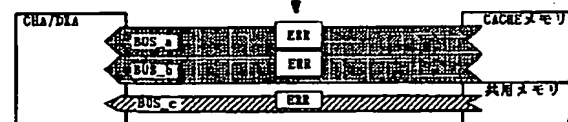
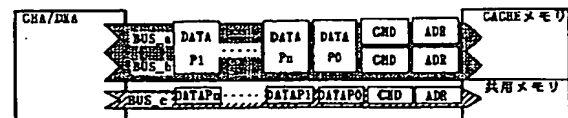
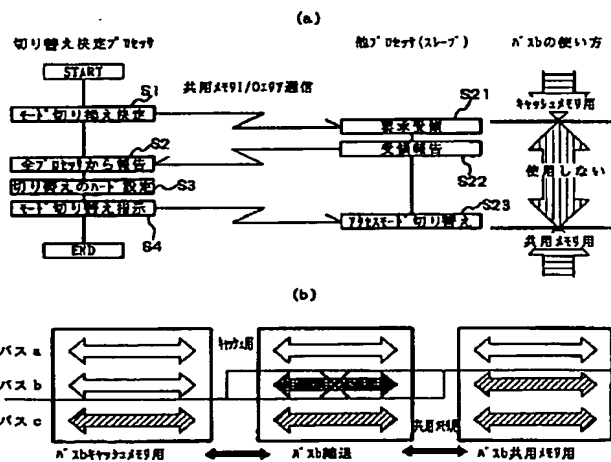


图4



图5



フロントページの続き

(72)発明者 本間 久雄
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 下佐古 積
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内